

⑪ 公開特許公報 (A)

昭64-48557

⑤Int.Cl.⁴H 04 L 27/00
H 03 C 1/00

識別記号

府内整理番号

F-8226-5K
6658-5J

③公開 昭和64年(1989)2月23日

審査請求 未請求 請求項の数 2 (全7頁)

④発明の名称 少くとも2つのデータ信号を整形し、変調する回路

②特願 昭63-109806

②出願 昭63(1988)5月2日

優先権主張

③1987年5月1日③米国(U S)③044883

⑦発明者 ボール・ハースト アメリカ合衆国 95697 カリフォルニア州・ヨロ・ビイ
オーポツクス 223・(番地なし)⑦発明者 キヨシ・フカホリ アメリカ合衆国 95945 カリフォルニア州・グラス・ヴ
アレー・サラブレット ループ・13013⑦出願人 シリコン・システム
ル・インコーポレーテ
ッド アメリカ合衆国 92680 カリフォルニア州・ツースチ
ン・マイフォード ロード・14351

⑦代理人 弁理士 山川 政樹 外2名

明細書の序書(内容に変更なし)
明細書

1. 発明の名称

少くとも2つのデータ信号を整形し、変調する
回路

2. 特許請求の範囲

(1) 第1のデータ信号を格納する第1の記憶装置
および第2のデータ信号を格納する第2の記憶装置と、

前記第1のデータ信号と前記第2のデータ信号
を整形し、前記第1のデータ信号へ第1の搬送波
信号を乗じ、前記第2のデータ信号へ第2の搬送
波信号を乗ずるために前記第1の記憶装置と前記
第2の記憶装置へ選択的に結合されるフィルタ手
段と、

を備え、前記第1の搬送波信号と前記第2の搬送
波信号は前記フィルタ手段へ結合され、任意の1
つの時刻において前記第1の搬送波信号と前記第
2の搬送波信号のうちの一方だけが非零であるよ
うに、前記第1の搬送波信号と前記第2の搬送波
信号は重なり合わないステップ関数であり、それ

により前記フィルタ手段の出力は前記第1のデータ信号と前記第2のデータ信号の和を含むことを特徴とする少くとも2つのデータ信号を整形し、変調する回路。

(2) 第1のデータ信号と第2のデータ信号を受ける入力手段と、

前記第1のデータ信号と前記第2のデータ信号を複数のコンデンサへ選択的に結合するために、
前記第1のデータ信号と前記第2のデータ信号およ
び前記複数のコンデンサへ結合される第1のスイッチング手段と、

前記コンデンサへ結合される加算手段と、
を備え、前記第1のスイッチング手段と、前記コン
デンサと、前記加算手段は前記第1のデータ信号と前記第2のデータ信号に、前記第1のスイッチ
ング手段へ結合されている前記第1の搬送波信号と前記第2の搬送波信号をそれぞれ乗じ、任意
の1つの時刻において前記第1の搬送波信号と前
記第2の搬送波信号のうちの一方だけが非零であ
るよう、前記第1の搬送波信号と前記第2の搬

送波信号は重なり合わないステップ関数であり、前記加算手段は、前記第1のデータ信号と前記第2のデータ信号の整形され、かつ変調された和を表す第1の出力信号を出力することを特徴とする第1のデータ信号と第2のデータ信号を整形し、変調する回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は信号伝送装置に使用する変調器の分野に関するものである。

〔従来の技術〕

電子的な信号処理およびデータ伝送においては、送信側から受信側へデータ信号を送信することがしばしば希望される。実際には、送信のためにデータ信号は変調され、受信時にデータ信号が復調される。そのようなデータ信号の伝送には無線伝送(AMとFMを含む)と、電話線伝送が含まれる。伝送すべき生データは、それがアナログとデジタルのいずれであつても、「ベースバンド信号」として知られている。典型的には、ベースバンド信

号は、全くではないにしても、効率の高い伝送には不向きである。そのような情報の伝送を容易にするためには、ベースバンド信号を効率的な伝送に適する高い周波数まで高くしなければならない。これは、高周波搬送波の振幅、位相または周波数(あるいはそれらの組合せ)を伝送すべき情報を従つて変えることにより行われる。この操作は「変調」として知られている。情報を受けるためには、搬送波を除去してその情報を復号しなければならない。この操作は「復調」として知られている。

したがつて、データの送信と受信を行うことができる1つの装置は変調器と復調器を含む。これらの変調器と復調器と一緒にしたもののが「モデム」として知られている。近年、コンピュータの使用が増大するにつれてモデムの使用が増大してきた。モデムを使用することにより、一方のコンピュータ端末装置から電話線を介してデータを伝送し、伝送されたデータが1台または複数のコンピュータ端末装置により受信される。

〔発明が解決しようとする課題〕

従来は、ほとんどの変調器はデジタル集積回路により構成されていた。たとえば、デジタル化されているデータはデジタル的に変調され、他のビットがデジタル-アナログ(D/A)変換器へ送られ、変換された信号が伝送される。モデムおよびそれに関連する変調器は、デジタル符号の指令の下にマイクロプロセッサにより制御されるのが普通である。変調器がデジタル的に構成されている場合には、マイクロコントローラ中の符号スペースを変調器にゆだねなければならない。また、集積回路で構成する場合には、デジタル-アナログ変換器は広いシリコンウェハー面積を必要とし、そのために集積回路の製造費が高くなり、かつ集積回路が大きくなる。

更に、高速のモデムを得るために、データの多ビットを表す「記号」を定めることが望ましい。そのような多ビット記号を得るためにデータを変調する1つの一般的な方法は直角振幅変調(QAMすなわち、Quadrature amplitude modulation)

である。直角振幅変調においては、16個の点をまとめた1つの群が定められる。それらの16個の点は情報の4ビットから選択できる。ベースバンドデータは、同相チャネルおよび直角チャネルとして知られている2つのチャネルへ変換される。各チャネル情報は2ビットを表すから、2つのチャネルで16個の点を定めることができる。それから、各チャネルを変調し、複波してから送信しなければならない。したがつて、直角振幅変調を行うモデムは2つの変調チャネルを必要とするから、シリコンウェハーの面積を更に占める。

それらの欠点を解消するためには、完全なアナログ形式で構成され、かつデジタル変調器よりシリコンウェハーの占有面積が小さい変調器を得ることが望ましい。また、2つのデータチャネルを変調するために1つのアナログ変調器を使用することも望ましい。

したがつて、本発明の目的はモデム用のアナログ変調器を得ることである。

本発明の別の目的は、切換えられるコンデンサ

回路を用い、対応するデジタル変調器よりシリコンウエハーの占有面積が小さいアナログ変調器を得ることである。

本発明の別の更に別の目的は、1つの演算増幅器で構成でき、2つのデータチャネルに使用できるアナログ変調器を得ることである。

[課題を解決するための手段]

切換えられるコンデンサ回路がベースバンド、有限インパルス応答フィルタ(BBF)および平衡変調器を1つの演算増幅器で構成する。アナログ変調器は音声帯域モードにとくに適し、マイクロプロセッサ符号スペースをほとんど、または全く必要としない。ただ1つのベースバンドフィルタの出力が任意の1つの時刻に求められるように、簡単化した正弦関数と余弦関数が実現される。このようにして、2つのデータチャネルの変調を行うために1つの演算増幅器を利用できる。切換えられるコンデンサ回路技術と1つの演算増幅器を使用することにより、対応するデジタル変調器よりもアナログ変調器が占有するシリコンウエハー

$\cos w(c)t$ 18 が乗せられ、加算器 15 へ出力される。

ベースバンドフィルタ 121 の出力 33 は乗算器 14 へ入力され、その乗算器において $\sin w(c)t$ 19 が乗せられてから加算器 15 へ入力される。加算器 15 の出力は帯域フィルタ(BPF)16 へ入力される。その帯域フィルタの出力 17 は変調され、複波されたデータ信号である。実際には、第1図に示されている回路は直角振幅変調(QAM)を行うために用いられる。前記したように、それらの変調器は汎用マイクロプロセッサすなわちデジタル信号プロセッサにプログラムされるのが普通である。そのためには符号を専用にすることと、シリコンウエハーの一部の面積を占有する必要がある。

本発明は、正弦乗算器と余弦乗算器をスイッチング変調器として実現するアナログ変調器を実現するものである。入力データ自体および変調周波数はスイッチング変調器のスイッチを制御する。

第2図は、従来の変調器回路の正弦乗算器と余

面積が小さくなる。

この明細書においては切換えられるコンデンサ回路で実現されるアナログ変調器について説明する。本発明を完全に理解できるようするために、以下の説明においては、コンデンサの数、正弦関数、余弦関数等のような特定の事項の詳細について数多く述べてある。しかし、そのような特定の詳細事項なしに本発明を実施できることが当業者には明らかであろう。その他の場合には、不必要に詳しく説明して本発明をあいまいにしないようするために、周知の回路構成等については説明しない。

[実施例]

以下、図面を参照して本発明を詳しく説明する。まず、典型的な従来の変調器が示されている第1図を参照する。実(同相)成分 11r と虚(直角位相)成分 11i を有するデータ入力 10 がベースバンドフィルタ(BBF) 12r, 12i へそれぞれ入力される。ベースバンドフィルタ 12r の出力 32 が乗算器 13 へ入力され、その乗算器において

弦乗算器の代りに利用される変調信号を示すタイミング図である。 $\cos w(c)t$ 18 の代りに変調信号 20 が用いられる。この変調信号は3レベル信号であつて、1つおきのクロックで零である。

$\sin w(c)t$ 19 は第2図の信号 21 に代えられる。信号 21 も3レベル変調信号であつて、1つおきのクロックで零である。各クロックにおいてそれらの変調信号の1つが零であるよう、これらの変調信号 20 と 21 は重なり合わない。したがつて、変調信号を発生するベースバンドフィルタのただ1つの出力が任意の1つの時刻に求められる。データチャネル入力を多重化することにより、ただ1つのベースバンドフィルタ/変調器を必要とするから、性能を犠牲にすることなしにシリコンウエハーの面積を小さくできる。

本発明の好適な実施例を第3図に示す。各データチャネル 11r と 11i は、この実施例ではアナログシフトレジスタを含む遅延線に入力される。たとえば、第3図においては、ただ1つのアナログシフトレジスタ 22 が示されている。しかし、シ

フレジスタは各データチャネルに設けられ、それらのシフトレジスタの出力は、第3図に示されているような種類の1つのベースバンドフィルタ／変調器に多重化される。第3図にはその多重化する回路は示していないが、データチャネル11r, 11lの入力を第3図に示されている回路へ交互に供給するための適当な任意の手段を、第5図に示すように用いることができる。

アナログシフトレジスタ22は2ビット／セルデジタルシフトレジスタと、その後段の2ビット／D/A変換器で構成される。ここで説明している実施例においては、初めの3個のセル22A～22Cと後の3個のセル22D～22Fが代表的な例として示されている。各セルの出力端子がNチャネル・トランジスタ23A～23Fのソースへそれぞれ結合される。

これらのトランジスタ23A～23Fのゲートが相B(PB)クロック信号39へ結合される。トランジスタ23A～23Fのドレンがトランジスタ24A～24Fのドレンへ結合される。トランジスタ

ス応答の半分を発生する。

入来データ $x(n)$ は1秒間当たり2400ビットのピット率で変化する。変調器／ベースバンドフィルタは、ここで説明している実施例においては、9600Hzの速さで標本化する。

600Hzポー速度で一緒にまとめられる4ビットデータは2つの2ビット信号11r, 11lにそれぞれ分割される。適切なシフトレジスタへ入力される前は、データは差動符号器を通して、その差動符号器において2つの信号11rと11lはプラスまたはマイナス1およびプラスまたはマイナス3の値を得て16個の点のQAM信号群を構成する。前記したように、アナログシフトレジスタ22は、セル当たり2つのデジタルビットと、その後段の2ビットD/A変換器により構成される。

トランジスタ23A～23Fと24A～24Fは、ここで説明している実施例においては、9600Hzの標本化周波数で制御されるスイッチとして機能する。したがつて、コンデンサ25A～25Fはアースとシフトレジスタ22の間で切換えられる。コンデン

24A～24Fのソースは接地され、ゲートは相A(PA)クロック信号38へ結合される。PA38とPB39は重なり合わないクロック信号であつて、ここで説明している実施例においては、第4図に示されている回路により発生される。

トランジスタ23A～23Fと24A～24Fのドレンはコンデンサ25A～25Fの1つの端子へそれぞれ結合される。コンデンサ25A～25Fの他の端子が回路点26へ結合される。その回路点26は演算増幅器27の反転入力端子へ結合される。演算増幅器27の非反転入力端子は接地され、出力端子は回路点29と、コンデンサ30とNチャネル・トランジスタ31の並列回路とを介して回路点26へ結合される。そのトランジスタ31のゲートは相1クロック信号34へ結合される。

本発明の好適な実施例のベースバンドフィルタは直線形であるから、そのインパルス応答は対称的である。したがつて、ここで説明している実施例における24点インパルス応答はただ12個の入力コンデンサを必要とし、対称的なインパル

サ25A～25Fのスイッチングはクロック信号PA38とPB39により制御される。それらのクロック信号は第4図に示されている回路により発生される。2ビットカウンタ40がクロック信号50へ結合される。そのクロック信号の周波数は搬送波の周波数(すなわち、変調信号20, 21の周波数)の4倍である。カウンタ40は最下位ビット LSB41と最上位ビット(MSB)42を出力する。

最上位ビット42はアンドゲート44, 47の1つの入力端子へ入力される。アンドゲート47の他の入力端子へ相1(P1)信号34が入力される。アンドゲート44の他の入力はP134であり、アンドゲート46の他の入力はP235である。

アンドゲート44, 45の出力端子はオアゲート48へ結合される。アンドゲート46, 47の出力端子はオアゲート49へ結合される。オアゲート48の出力はPA38である。オアゲート49の出力はPB39である。

第4図に示されている回路は、2クロックサイ

クルに對して PA 38 が P1 34 に等しく（および PD 39-P2 35）、その後に続く 2 クロックサイクルでは PA が P2 に等しい（および PB は P1 に等しい）。しかし、前記したように、データチャネル 11r と 11l は、1 つおきのクロックサイクルで、第 3 図の変調器／ベースバンドフィルタ回路へ結合される。このようにして、3 レベル正弦関数 20 と 3 レベル余弦関数 21 により求められる +1 と -1 の乗算をベースバンドフィルタで行うことができる。ベースバンドフィルタは直線フィルタであるから、入力 +1 または -1 を乗ずることは出力に +1 または -1 を乗ずることと同じである。+1 の乗算は、PB 39 が P1 34 に等しく、PA 38 が P2 35 に等しい時に行われる。-1 の乗算は PB 39 が P2 35 に等しく、したがつて PA 38 が P1 34 に等しい時に行われる。

前記したように、データ $x(n)$ の実数部と虚数部はプラスまたはマイナスの 1 と、プラスまたはマイナスの 3 の値をとる。それらの入力レベルは分圧器または他の任意の適当な手段で発生できる。

の容量、

CFB = コンデンサ 30 の容量、

$x(n) = \text{入力データ} (\text{第 1 図の } 11r \text{ または } 11l)$

である。

以上、1 つの加算増幅器を用いて、切換えられたコンデンサ技術で実現されたアナログ変調器について説明した。

4. 図面の簡単な説明

第 1 図は従来の変調器の回路図、第 2 図は本發明で用いられる簡略化した正弦関数と余弦関数を示すタイミング図、第 3 図は本發明のアナログ変調器の切換えられるコンデンサの回路構成を示す回路図、第 4 図は第 3 図の回路のためのスイッチング信号の発生を示す回路図、第 5 図は本發明の 2 つのデータ入力チャネルを示すブロック図である。

22 アナログシフトレジスタ、22A ~ 22F シフトレジスタのセル、27 演算増幅器、40 カウンタ、44 ~ 47

種々の値のデータ入力の例がシフトレジスタ 22 のセル 22A, 22E に示されている。

いくつかのセルが 0 値を含んでいる様子が示されている。しかし、ここで説明している実施例においては、0 はシフトレジスタに格納されない。それよりも、入力コンデンサ 25A ~ 25F は任意の 1 つの時刻に非零のセルだけに結合される。9600 Hz の標本化速度のために、ある時刻にはシフトレジスタ 22 にはただ 2 つの非零値がある。

第 3 図の回路は有限インパルス応答ベースバンドフィルタおよび変調器として機能する。正弦と余弦の搬送波の代りに 3 レベル波形の独特の実現のため、実数データチャネルと虚数データチャネルのため 1 つの組合せられた変調器／ベースバンドフィルタを使用できる。

本發明のベースバンドフィルタの出力は次式で与えられる。

$$\text{Out}(n) = - \sum_{m=1}^{24} [(C_m) / (CFB)] [x(n-m)]$$

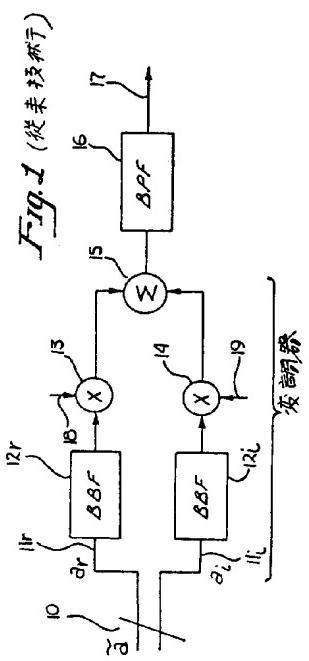
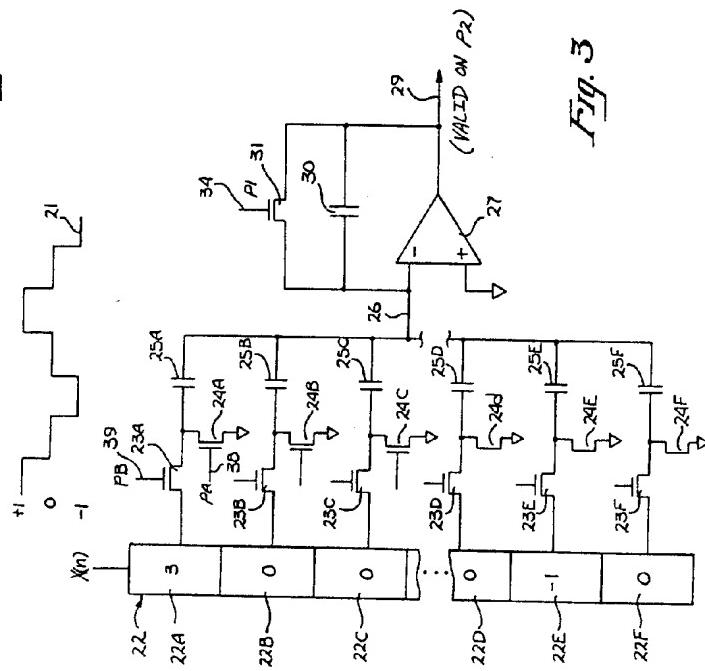
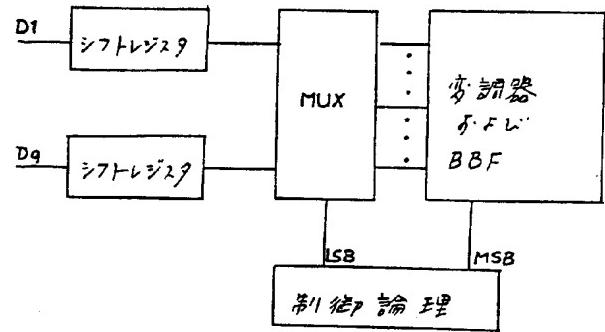
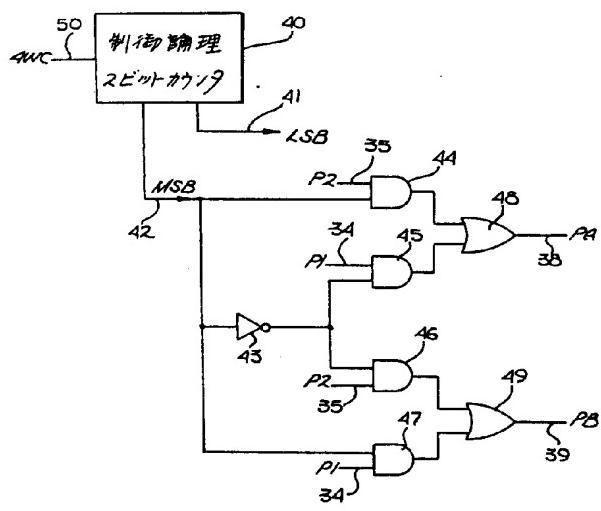
ここに、 C_m = 選択されたコンデンサ 25A ~ 25F

. . . . アンドゲート、48, 49 オアゲート。

特許出願人 シリコン・システムズ・インコーポレーテッド

代理人 山川政樹（ほか2名）

図面の序号(内字に変更なし)

*Fig. 2**Fig. 3**Fig. 5**Fig. 4*

手 続 補 正 書(方 式)

特許庁長官殿

昭和 年 月 日
63. 8. 25

1. 事件の表示

昭和 63 年特 許 願 第 109806 号

2. 発明の名称

ノバくとも二つのデータ信号を整形し変調する回路

3. 補正をする者

事件との関係 特 許 出願人

名称(氏名)シリコン・システムズ・インコーポレーテッド

4. 代理人 平100 居所 東京都千代田区永田町2丁目4番2号

秀和溜池ビル 8階

山川国際特許事務所内

電話 (580) 0961 (代表)

FAX (581) 5754

氏名 (6462) 弁理士 山川政



5. 補正命令の日付 昭和 63 年 7 月 26 日

補正により増加する発明の数



6. 補正の対象

(1) 願書の出願人の本願

(2) 委任状

(3) 明細書

(4) 図面



7. 補正の内容

(1) 別紙願書の通り

(2) 別紙の通り

(3) 明細書の添書(内容に変更なし)

(4) 図面の添書(内容に変更なし)

